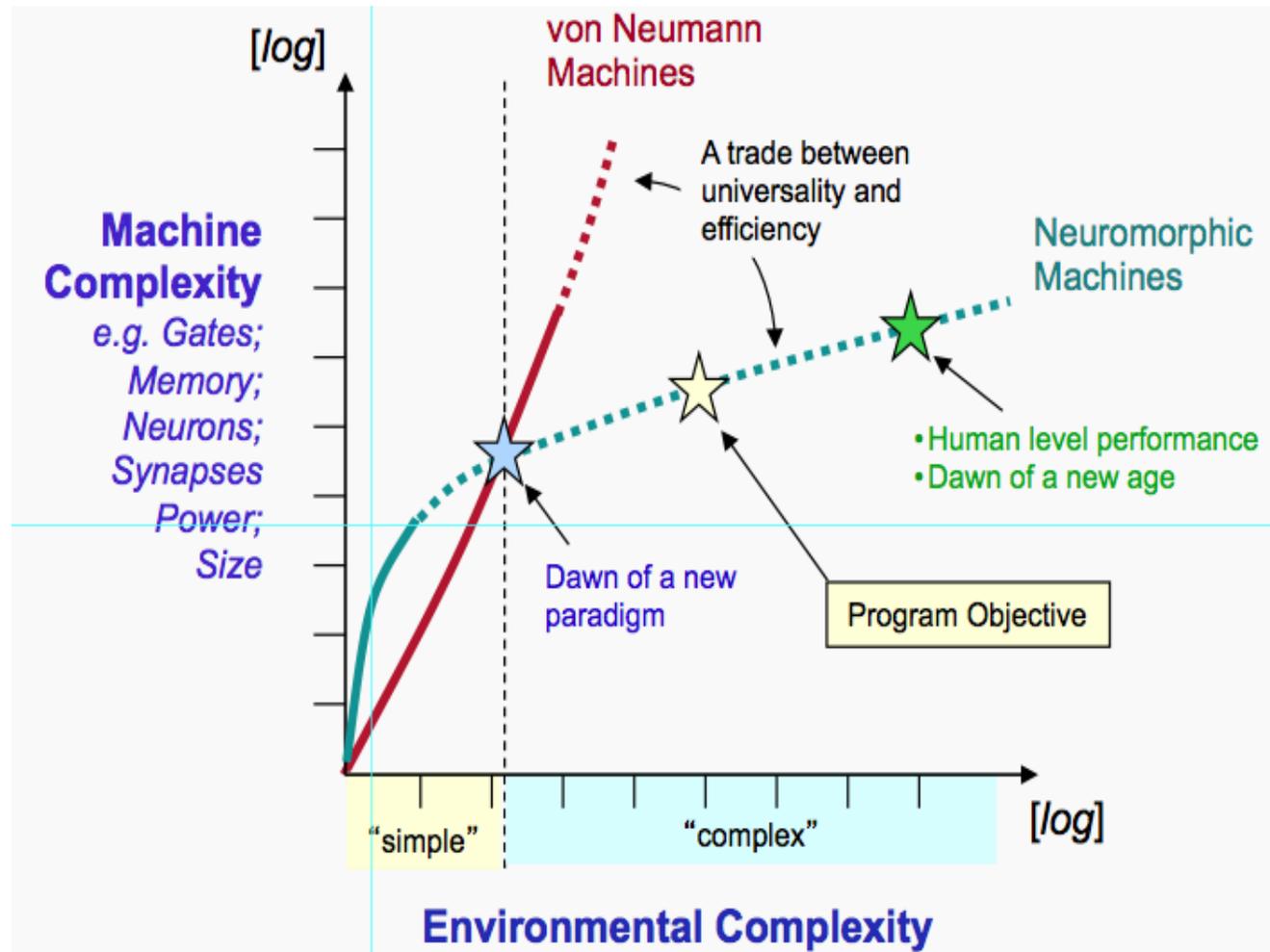


Нейронные сети и нейрокомпьютеры

Лекция 6.

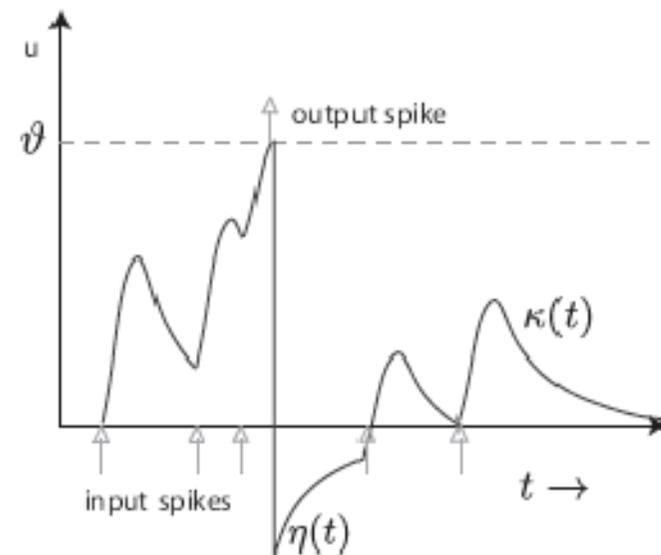
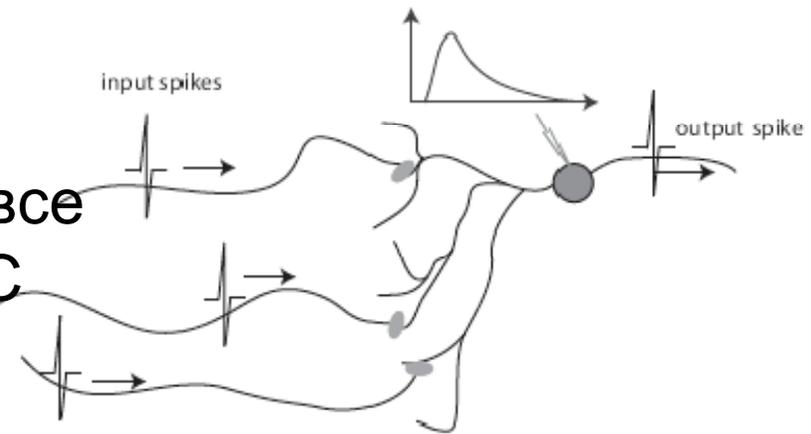
Импульсные нейронные сети

Почему необходима нейроморфная архитектура компьютеров

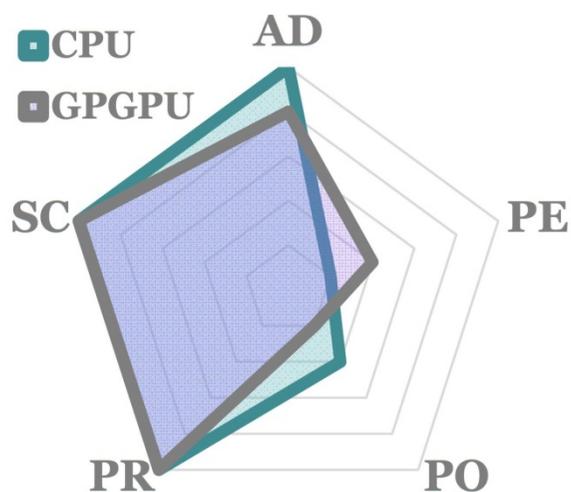


Импульсные (спайковые) нейронные сети – третье поколение искусственных нейронных сетей

- SNN (ИмНС) способны решать все задачи, решаемые обычными НС
- SNN имеют БОльшую вычислительную мощность,
- SNN имеют меньшее энергопотребление



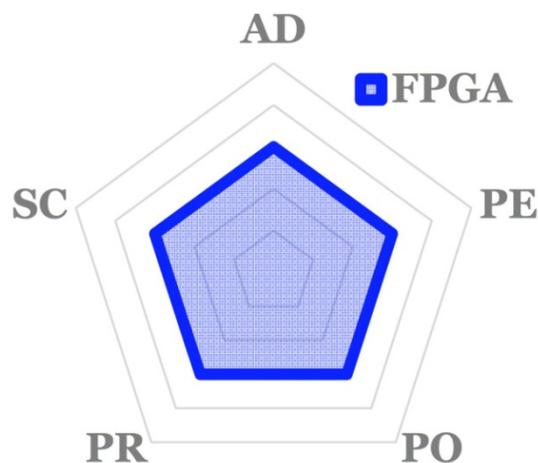
Сравнение различных видов hardware



General Purpose Platform

P. J. Fox, *Tech. Report*, 2013

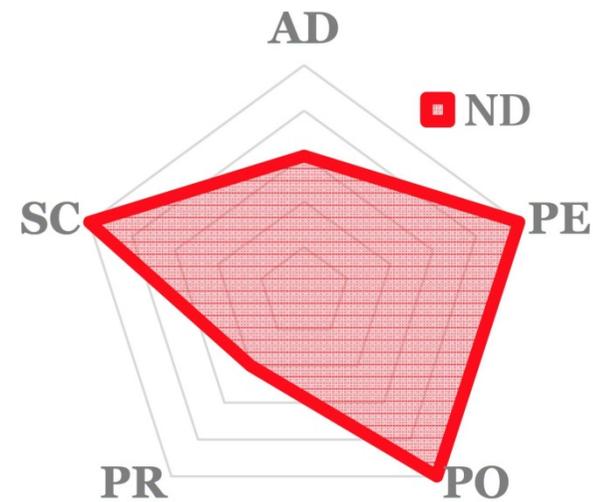
Graf et al, *NIPS*, 2009



Programmable Hardware

Graf et al, *NIPS*, 2009

Misra et al, *Neurocomputing*, 2010



Neuromorphic Design

H. Li, *HPEC*, 2010 4, *DAC*, 2015

Adaptivity (AD)

Performance (PE)

Power Efficiency (PO)

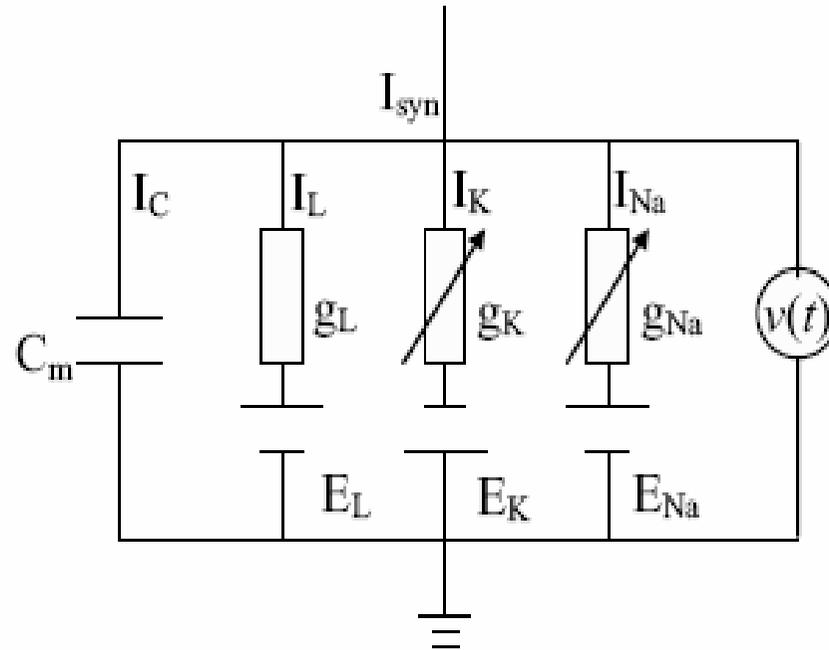
Programmability (PR)

Scalability (SC)

Существующие модели импульсных нейронов

- Модели, максимально приближенные к реальным биологическим нейронам, например, модель Ходкина-Хаксли (Hodgkin–Huxley) или модель Ижикевича (Izhikevich)
 - Недостаток: сложность вычисления выходного сигнала и мембранного потенциала с использованием вещественных чисел
- Модели, наиболее приспособленные к аппаратной реализации, например, IBM TrueNorth
 - Недостатки:
 - Очень большая разница между архитектурой чипа и биологическими нейронными сетями,
 - Ограниченные возможности обучать нейроны в процесс5 эксплуатации чипа

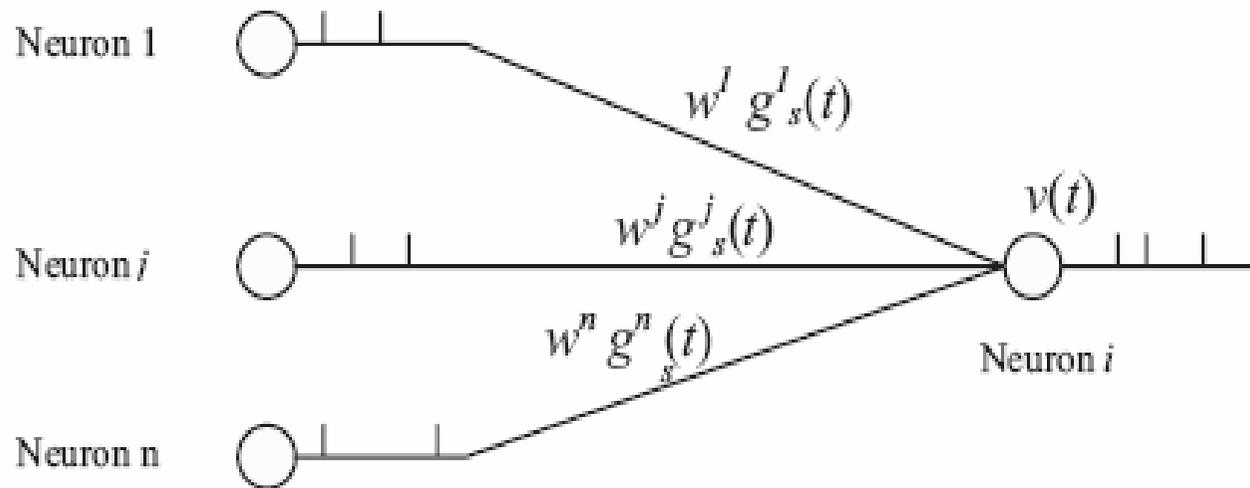
Модель нейрона Ходкина-Хаксли



$$C_m \frac{dv(t)}{dt} = I_C = I_{syn}(t) - \sum_j I_j(t)$$

Где: C_m – емкость мембраны,
 I_{syn} - синаптический входной ток,
 I_j ток через ионный канал

IF-модель нейрона (Integrate-and-Fire Neuron Model)



$$c_m \frac{dv(t)}{dt} = g_l (E_l - v(t)) + \sum_j \frac{w^j g_s^j(t)}{A_s} (E_s - v(t))$$

IF-модель нейрона (2)

Уравнение для мембранного потенциала $v(t)$:

$$C_m \frac{dv(t)}{dt} = g_l(E_l - v(t)) + \sum_j \frac{w^j g_s^j(t)}{A_s} (E_s - v(t))$$

Где: C_m – емкость мембраны,

E_s – инверсный потенциал мембраны s -го синапса,

w^j – вес j -го синапса,

A_s – площадь мембраны, связанной с s -ым синапсом

Если мембранный потенциал превышает пороговое значение V_{th} , то он сбрасывается до V_{reset} и генерируется потенциал действия или импульс (спайк).

$g_s^j(t)$ – проводимость j -го синапса.

IF-модель нейрона (3)

Когда импульс достигает j -го синапса в момент времени t_{op} , проводимость синапса усиливается по формуле:

$$g_s^j(t_{op} + t_{delay}^j + dt) = g_s^j(t_{op} + t_{delay}^j) + q_s$$

При отсутствии импульса проводимость синапса уменьшается в соответствии с уравнением:

$$\frac{d g_s^j(t)}{dt} = -\frac{1}{\tau_s} g_s^j(t)$$

Модель нейрона Ижикевича

$$\begin{cases} C_m \frac{dV_m}{dt} = k(V_m - V_r)(V_m - V_t) - U_m + I_b + I_{syn} \\ \frac{dU_m}{dt} = a(b(V_m - V_r) - U_m) \end{cases}$$

если $V_m \geq V_{peak}$, то

$$\begin{cases} V_m = c \\ U_m = U_m + d \end{cases}$$

Где a, b, c, d, k, C_m - различные параметры нейрона,

V_m — это разность потенциалов на внутренней и внешней стороне мембраны,

U_m — вспомогательная переменная,

I — это внешний постоянный приложенный ток.

В данной модели наблюдаются такие характерные для нейронов свойства как: генерация спайка в ответ на одиночный импульс внешнего тока и генерация последовательности спайков с определённой частотой при подаче на нейрон постоянного внешнего тока.

Модель нейрона из:

Andrey V.Gavrilov, Valeriy M.Kangler, Mikhail Katomin, Konstantin Panchenko.
A Model of Spike Neuron Oriented to Hardware Implementation. // Proc. of The
11th International Forum on Strategic Technology, Novosibirsk, 2016.- Vol. 1.

Сигнал на выходе нейрона в дискретные моменты времени $t = 0, 1, 2 \dots$
описывается как:

$$S(t) = \begin{cases} 1, & \text{при } U(t) > H \\ 0, & \text{при } U(t) \leq H \end{cases}$$

где

H

– пороговое значение нейрона,

$U(t)$

– уровень возбуждения нейрона.

$S(t)$

– значение потенциала на выходе рассматриваемого нейрона.

Модель нейрона (2)

Уровень возбуждения нейрона $U(t)$ складывается из приращений уровня от взвешенных импульсов, приходящих на синапсы в предыдущие моменты времени.

В каждый такт времени уровень возбуждения уменьшается на величину утечки ΔU .

Таким образом, уровень возбуждения нейрона можно выразить так:

$$U(t) = U(t-1) + \sum_i w_i r S_i(t-1) - \Delta U$$

где r – вклад одного входного импульса в уровень возбуждения нейрона.

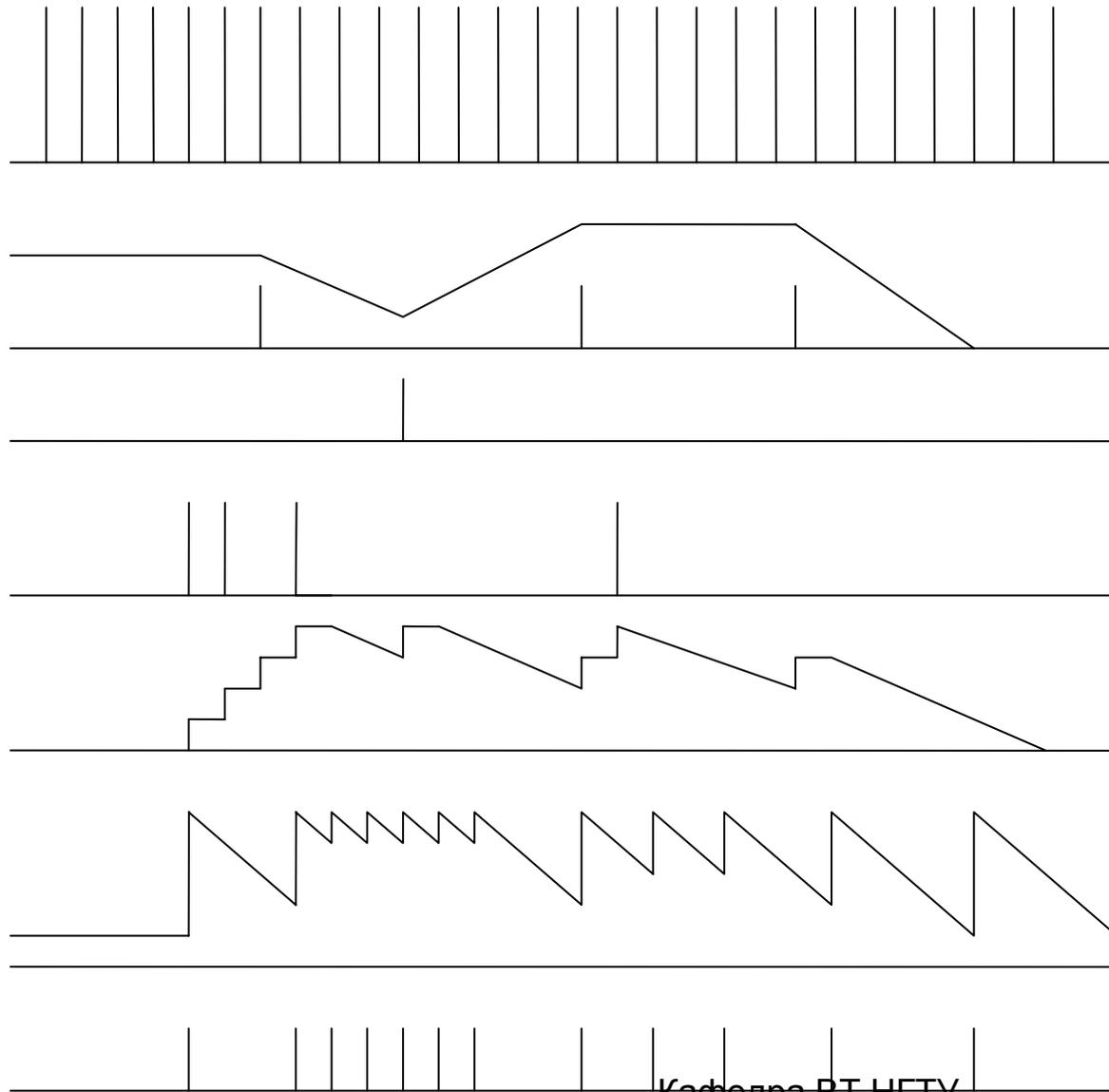
Модель нейрона (3)

Для обеспечения на выходе нейрона частотно-импульсной модуляции сигнала вводится переменное значение H , которое увеличивается до максимума при каждом срабатывании нейрона и убывает на каждом такте на величину

ΔH

$$H(t) = \begin{cases} H_{\max}, & \text{при } S(t) = 1 \\ H(t-1) - \Delta H, & \text{при } H(t-1) - \Delta H > H_{\min} \\ H_{\min}, & \text{в другом случае} \end{cases}$$

Модель нейрона (4)



a) Тактовые импульсы

b) Сигнал с сенсора 1

c) Сигнал с сенсора 2

d) Сигнал от другого нейрона

e) Уровень возбуждения

f) Порог

g) Выходной сигнал

Методы кодирования информации в импульсных нейронных сетях

- Паттерн активности сети (волновой процесс) несет информацию (осцилляторные сети)
- Импульсно-частотная модуляция
- Импульсно-фазовая модуляция
- Событий подход (Event-Driven) к кодированию – каждый импульс есть событие
 - Время появления одиночного импульса
 - Комбинация импульсов во времени

Методы обучения импульсных нейронных сетей

- метод STDP (spike timing dependent plasticity) (модифицированное правило Хебба),
- обучение обратным распространением ошибки,
- управляемый метод обучения Хебба (supervised Hebbian learning)
- метод ReSuMe,
- растущие импульсные нейронные сети,
- глубокое обучение (deep learning).

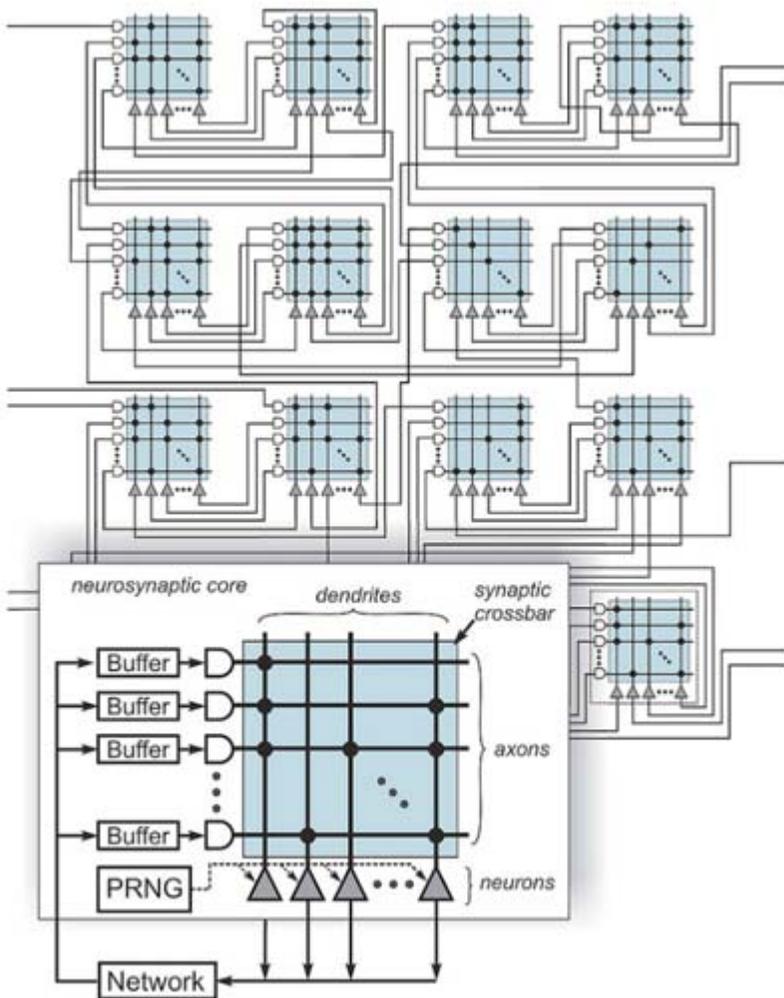
Проекты по созданию аппаратных импульсных нейронных сетей

Кафедра ВТ НГТУ,
А.В.Гаврилов

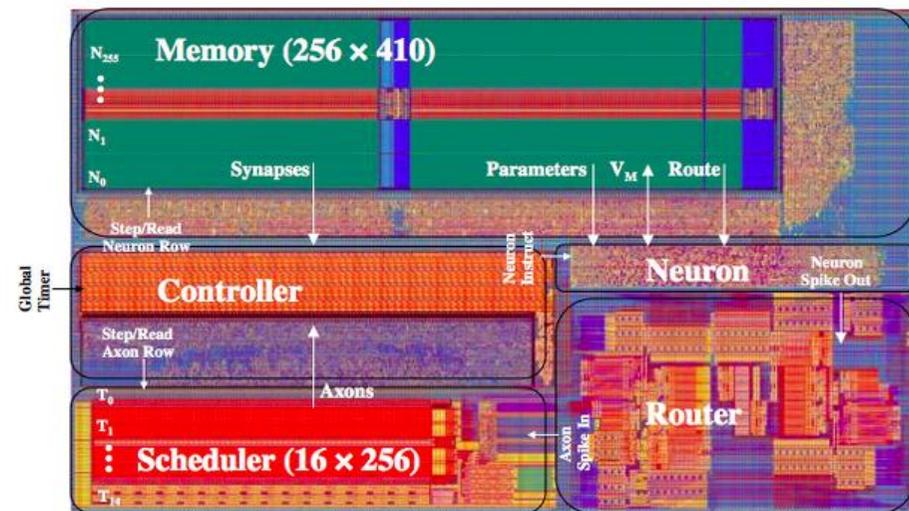
- Проект DARPA Synapse (DARPA's Systems of Neuromorphic Adaptive Plastic Scalable Electronics initiative) [8], в рамках которого финансируются работы в IBM (IBM Research) и HRL Laboratories.
- Соисполнителями являются несколько университетов и научных центров: Stanford University, Cornell University, University of Wisconsin-Madison, University of California, Merced, Columbia University Medical Center, Boston University, Neurosciences Institute, University of Michigan, University of California-Irvine, George Mason University, Portland State University и еще Set Corporation.
- Программа начата в 2008 году. За первые 5 лет объем финансирования более 106 миллиона долларов. Цель проекта — создание нейроморфного чипа, содержащего 10^{10} нейронов и 10^{14} синапсов.

- В 2014 г. ученые фирмы IBM создали нейронный процессор TrueNorth [17].
- Нейрочип TrueNorth содержит 5,4 миллиарда транзисторов, что позволяет реализовать один миллион нейронов и 256 миллионов связей между нейронами – синапсов.

IBM TrueNorth chip



- 4096 cores
- 10^6 programmable neurons
- > 256×10^6 synapses
- 5.4 billion transistors,
- < 100 mW



- Проект HBP (Human Brain Project) Евросоюза [9], в рамках которого финансируются работы в различных европейских научных центрах и университетах.
- В рамках этого проекта существуют, в частности, суб-проекты:
 - Neuromorphic Computing,
 - Cognitive Architectures,
 - Neurorobotics,
 - Neuroinformatics и другие.
- На эту программу выделено около одного миллиарда евро.

- Проект SpiNNaker (Великобритания, с 2007 года) [10], в котором участвуют несколько британских университетов и компаний:
 - University of Manchester,
 - University of Southampton,
 - University of Cambridge,
 - University of Sheffield,
 - ARM Ltd,
 - Silistix Ltd,
 - Thales.

- Проект фирмы Qualcomm, специализирующейся в разработке процессоров для мобильных систем.
- В рамках проекта фирма представила однокристальный нейронный процессор Qualcomm Zeroth [11].

- Проект MoNETA (с 2008 года) [12] фирмы Hewlett Packard.
- Фирма HP впервые создала мемристоры и на их основе совместно с Бостонским университетом разрабатывает новые вычислительные архитектуры.

- Проект Blue Brain Project (с 2005 года) университета EPFL (Швейцария).
- В рамках проекта максимально правдоподобно моделируется работа мозга млекопитающих на суперкомпьютере IBM Blue Gene.
- Результаты планируется использовать в медицине.

- Проект Neurogrid группы Brains-In-Silicon и Стэнфордского университета.
- Та же цель, что и в проекте Blue Brain Project, но с использованием своего специализированного вычислительного устройства для моделирования мозга.
- Наиболее крупный реализованный цифро-аналоговый модуль среди прочих проектов (1 млн нейронов). Синапсы реализованы при помощи FPGA и модуля памяти, а плата с нейронами состоит из аналоговых микросхем [13]. Применение аналоговой модели является решением проблемы энергопотребления — устройство на 1 млн нейронов потребляет 3,5 Вт электроэнергии.

- Проект FACETS/BrainScales [14] (с 2005 года) включает в себя ряд университетов во главе с Гейдельбергским университетом.
- В рамках проекта разрабатывается архитектура импульсных нейронных сетей и их аппаратная реализация.
- Реализован нейровычислительный модуль на основе специфичной цифро-аналоговой архитектуры с распределенной системой памяти и гибкой настройкой параметров синапсов. Общее количество нейронов на такой плате равняется 200 тыс., синапсов – 50 млн.

- Наиболее перспективными из этих проектов являются первые три.
- По проекту DARPA разработки ведутся по двум направлениям:
 - создание чипа на традиционной цифровой основе (IBM Research),
 - создание чипа с использованием мемристоров [15, 16] для обеспечения пластичности (обучаемости) синапсов нейронов (HRL Laboratories)